

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-031707

(43)Date of publication of application : 29.01.2004

(51)Int.Cl.

H01L 31/107

(21)Application number : 2002-186961

(71)Applicant : NTT ELECTRONICS CORP

(22)Date of filing : 26.06.2002

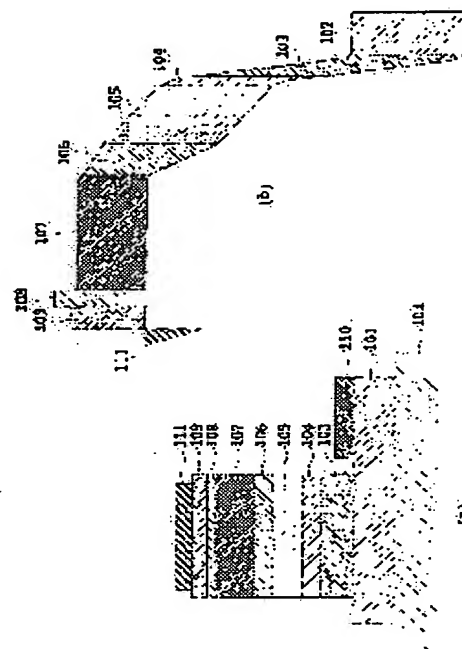
(72)Inventor : HIROTA YUKIHIRO
ISHIBASHI TADAO

(54) AVALANCHE PHOTODIODE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an ultrahigh-speed avalanche photodiode for use in a long wavelength band, low in operating voltage and in dark current, with the electric fields in the device easy to control.

SOLUTION: A semi-insulating buffer layer 101, n-type semiconductor electrode layer 102, semi-insulating semiconductor avalanche multiplication layer 103, electric field control layer 104, p-type semiconductor electric field buffer layer 105, graded band gap layer 106, p-type semiconductor photoabsorption layer 107, p-type semiconductor diffusion barrier layer 108, and a p-type semiconductor electrode layer 109, are deposited in this order on a semi-insulating substrate. Dopant concentration distributions in the graded band gap layer 106 and in the electric field control layer 104 are so set that the electric field of the p-type semiconductor photoabsorption layer 107 is electrically neutral except in the region in the vicinity of the boundary with the graded band gap layer 106.



LEGAL STATUS

[Date of request for examination]

05.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-31707

(P2004-31707A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl.⁷
H01L 31/107F1
H01L 31/10

B

テーマコード(参考)
5F049

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2002-186961 (P2002-186961)	(71) 出願人	591230295 エヌティティエレクトロニクス株式会社 東京都渋谷区道玄坂1丁目12番1号
(22) 出願日	平成14年6月26日(2002.6.26)	(74) 代理人	100077481 弁理士 谷 義一
		(74) 代理人	100088915 弁理士 阿部 和夫
		(74) 代理人	100106998 弁理士 橋本 傳一
		(72) 発明者	廣田 幸弘 東京都渋谷区道玄坂1丁目12番1号 エ ヌティティエレクトロニクス株式会社内
		(72) 発明者	石橋 忠夫 東京都渋谷区道玄坂1丁目12番1号 エ ヌティティエレクトロニクス株式会社内 最終頁に続く

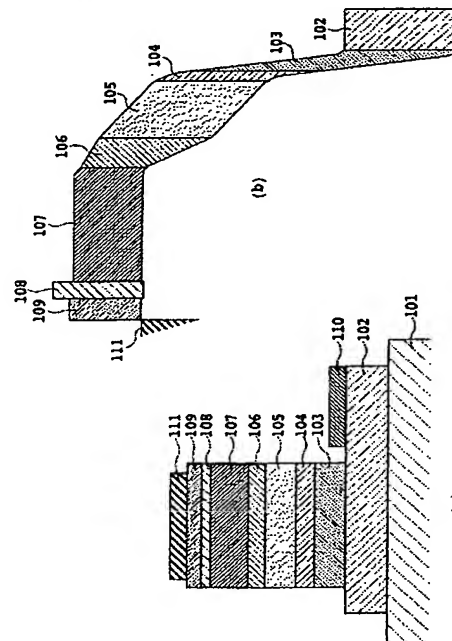
(54) 【発明の名称】 アバランシ・フォトダイオード

(57) 【要約】 (修正有)

【課題】動作電圧と暗電流量が低くかつ素子内の電界制御が容易な、長波長帯の超高速アバランシ・フォトダイオードを提供する。

【解決手段】半絶縁性基板上に、半絶縁性バッファ層101とn型半導体電極層102と半絶縁性半導体なだれ増倍層103と電界制御層104とp型半導体電界緩衝層105とバンドギャップ傾斜層106とp型半導体光吸収層107とp型半導体拡散バリア層108とp型半導体電極層109とを順次積層し、バンドギャップ傾斜層および電界制御層の各々のドーパント濃度分布を、動作状態におけるp型半導体光吸収層の、バンドギャップ傾斜層との界面近傍以外の領域が電気的中性となるように決定した。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半絶縁性基板上に、半絶縁性バッファ層と、n型半導体電極層と、半絶縁性半導体なだれ増倍層と、電界制御層と、p型半導体電界緩衝層と、バンドギャップ傾斜層と、p型半導体光吸収層と、p型半導体拡散バリア層と、p型半導体電極層とが順次積層された積層構造を有し、前記n型半導体電極層と前記p型半導体電極層の各々に金属電極を備え、前記バンドギャップ傾斜層および前記電界制御層の各々のドーパント濃度分布が、動作状態における前記p型半導体光吸収層の、前記バンドギャップ傾斜層との界面近傍以外の領域が電気的中性となるように決定されていることを特徴とするアバランシ・フォトダイオード。

10

【請求項 2】

前記p型半導体光吸収層内の前記バンドギャップ傾斜層方向へのドーパント濃度が、均一分布もしくは傾斜分布を有することを特徴とする請求項1に記載のアバランシ・フォトダイオード。

【請求項 3】

前記p型半導体光吸収層が、InGaAsP混晶からなることを特徴とする請求項1または2に記載のアバランシ・フォトダイオード。

【請求項 4】

前記バンドギャップ傾斜層が、InGaAsP混晶またはInGaAlAs混晶からなることを特徴とする請求項1乃至3の何れかに記載のアバランシ・フォトダイオード。

20

【請求項 5】

前記半絶縁性半導体なだれ増倍層、前記電界制御層および前記p型半導体電界緩衝層の少なくとも1層が、InPまたはInAlAs混晶からなることを特徴とする請求項1乃至4の何れかに記載のアバランシ・フォトダイオード。

【請求項 6】

前記積層構造が、前記p型半導体電界緩衝層もしくは前記バンドギャップ傾斜層を上面とし前記半絶縁性半導体なだれ増倍層を下面とする第1のメサ構造と、前記p型半導体電極層を上面とし前記バンドギャップ傾斜層もしくは前記p型半導体光吸収層を下面とする第2のメサ構造とから構成されており、

当該第2のメサ構造が、前記第1のメサ構造の上面の外周部に一定の幅を有するように配置されていることを特徴とする請求項1乃至5の何れかに記載のアバランシ・フォトダイオード。

30

【請求項 7】

前記第1のメサ構造の上面の外周部の領域にガードリングを備え、

当該ガードリングが、前記p型半導体光吸収層の単層構造もしくは当該p型半導体光吸収層と前記バンドギャップ傾斜層の積層構造を有するメサストライプ状の第1のガードリング、または、前記第1のメサ構造の上面から前記電界制御層の一部または全部を掘り込んだ形状のリセス状の第2のガードリングのいずれか一方もしくは双方で構成されていることを特徴とする請求項6に記載のアバランシ・フォトダイオード。

【発明の詳細な説明】

40

【0001】**【発明の属する技術分野】**

本発明は、アバランシ・フォトダイオードに関し、より詳細には、動作電圧と暗電流量が低く、かつ、素子内の電界制御が容易な、長波長帯の超高速アバランシ・フォトダイオードに関する。

【0002】**【従来の技術】**

アバランシ・フォトダイオード(APD)は、素子自体が増幅機能を有していることから、光計測用や光通信用の高感度の受光素子として広く用いられており、大容量長距離光通信に用いられる1.55 μ m帯のAPDには、化合物半導体を用いたヘテロ接合型のSA

50

M (Separated Absorption and Multiplication) 構造が採用されている。

【0003】

このSAM構造は、バルク、もしくはバンドギャップエネルギーが互いに異なる化合物半導体層を交互に積層させた超格子層で形成されたアバランシ層（なだれ増倍領域）とInGaAsなどの光吸収層（光電変換層）とを機能的に分離独立させたものである。この構造によれば、なだれ増倍領域のバンドギャップエネルギーを光吸収層のそれよりも大きくすることにより、pn接合の暗電流を低減することができる。

【0004】

すなわち、InGaAs光吸収層に高電界が印加されると、そのバンドギャップエネルギーが小さいためにトンネル現象による暗電流が増大するので、pn接合の電圧のほとんどがなだれ増倍領域にかかるように設計される。光吸収層となだれ増倍領域の間に電界制御のための電荷層を導入して電界の制御性をあげ、暗電流を一層低減させることを目的としたSACM (Separated Absorption Charge and Multiplication) 構造も提案されている。

【0005】

これらのSAM構造とSACM構造のいずれのAPDにおいても、所望のデバイス特性を得るためには光吸収層の厚みの決定が重要となる。なだれ増倍現象が生じない条件下で高いキャリア発生率（量子効率）が得られない素子でなだれ増倍現象を生じさせても高いS/N比と感度を確保することはできないため、周波数応答帯域を確保可能な範囲で光吸収層厚 W_A を十分に厚くする必要がある。このため、従来のSACM構造のAPDは、pin型のPDになだれ増倍層を接続して光吸収層を低不純物濃度化することで空乏層を広げる設計がなされている。

【0006】

ここで、光吸収層内で生成された光励起キャリアをなだれ増倍領域に引き出すためには光吸収層自体に一定の電界を印加する必要がある。光吸収層の高純度化と高品質化が求められ、例えば、光吸収層の厚みが $2\mu\text{m}$ の場合には、光吸収層内のp型不純物濃度をおおよそ $1 \times 10^{15} \text{ cm}^{-3}$ 以下に抑えなければならない。また、光吸収層となだれ増倍領域の間に設けられる電界制御層のp型不純物濃度と厚さに強く依存するため、電界制御層の形成には高精度の不純物濃度制御と層厚制御が求められる。

【0007】

図4は、従来型のAPDの構造例を説明するための図で、図4(a)はAPDの断面図、図4(b)はこのAPDに電圧を印加した状態でのバンドダイアグラムである。このAPDは、電極層401の上に、なだれ増倍層402と、電界制御層403と、電界緩衝層404と、バンドギャップ傾斜層405と、光吸収層406と電極層407が順次積層され、電極層401および407には各々の電極層に対応する金属電極408および409が設けられている。これらの電極層401および407から逆バイアスを印加すると、光吸収層406は空乏化して図4(b)に示すようなバンド状態となり、この状態のAPDに光吸収層406のバンドギャップ以上のエネルギーをもつ光が入射するとその光は主に空乏化した光吸収層406で吸収され、そこで電子とホールが生成されて光電流が流れる。

【0008】

このような構造のAPDでは、応答速度の指標である周波数応答帯域（3dB帯域： f_{3dB} ）は、なだれ増倍が加わらないpin型PD動作の時に最大となる。キャリア走行時間（ τ_D ）がドリフト速度の遅いホールの走行時間で決まるものと仮定して電子の走行時間を無視すると、光吸収層厚を W_A 、ホールのドリフト速度を v_h として、キャリア走行時間 τ_D は、

$$\tau_D (\text{pin}) = W_A / 3 v_h \quad (1)$$

で与えられ、また、3dB帯域 f_{3dB} は、

$$f_{3dB} (\text{pin}) = 1 / (2 \pi \tau_D) \quad (2)$$

と近似される。

【0009】

光吸収層に InGaAs を用いた場合には、ホールドリフト速度（ホール飽和速度） v_h は 5×10^6 cm/s であるから、3 dB 帯域 f_{3dB} は、

$$f_{3dB}(pin) = [1/W_A (\mu m)] \times 24 GHz \quad (3)$$

となる。例えば、10 Gbit/s の信号を受信する APD であれば 3 dB 帯域は $f_{3dB}(pin) = 15 GHz$ が目安となるから、光吸収層厚 W_A は $1.6 \mu m$ 程度とする必要があり、この光吸収層の殆どの領域でホールの飽和速度を維持するためには、電界強度は $50 kV/cm$ 以上が必要となる。この電界強度は電圧換算で 8 V 以上に相当するから、なだれ増倍層の電圧を加えた素子バイアスは通常 25 V 程度となる。

10

【0010】

【発明が解決しようとする課題】

上述したような従来の APD は、pin-PD に比べて印加する逆バイアス値（動作電圧）が高いという APD の一般的な問題に加え、光吸収層内の電界が電界制御層の厚みとドーピングレベルによって大きく左右されるという問題があった。すなわち、最適値よりも光吸収層内の電界が強くなると暗電流レベルが高くなり易く、逆に光吸収層内の電界が弱すぎると応答帯域が低くなり易いために、一般には、良好な再現性／制御性を実現するのは困難であるのが現状である。

【0011】

特に、光吸収層にバンドギャップの小さな InGaAs を用いた APD では、なだれ増倍層内のみならず InGaAs 光吸収層内でもなだれ増倍現象が生じて暗電流がレベルが高くなり易いという問題があった。

【0012】

本発明は、このような問題に鑑みてなされたものであって、その目的とするところは、動作電圧と暗電流量が低くかつ素子内の電界制御が容易な、長波長帯の超高速アバランシ・フォトダイオードを提供することにある。

【0013】

【課題を解決するための手段】

本発明は、このような目的を達成するために、請求項 1 に記載の発明は、アバランシ・フォトダイオードであって、半絶縁性基板上に、半絶縁性バッファ層と、n 型半導体電極層と、半絶縁性半導体なだれ増倍層と、電界制御層と、p 型半導体電界緩衝層と、バンドギャップ傾斜層と、p 型半導体光吸収層と、p 型半導体拡散バリア層と、p 型半導体電極層とが順次積層された積層構造を有し、前記 n 型半導体電極層と前記 p 型半導体電極層の各々に金属電極を備え、前記バンドギャップ傾斜層および前記電界制御層の各々のドーパント濃度分布が、動作状態における前記 p 型半導体光吸収層の、前記バンドギャップ傾斜層との界面近傍以外の領域が電気的中性となるように決定されていることを特徴とする。

30

【0014】

また、請求項 2 に記載の発明は、請求項 1 に記載のアバランシ・フォトダイオードにおいて、前記 p 型半導体光吸収層内の前記バンドギャップ傾斜層方向へのドーパント濃度が、均一分布もしくは傾斜分布を有することを特徴とする。

40

【0015】

また、請求項 3 に記載の発明は、請求項 1 または 2 に記載のアバランシ・フォトダイオードにおいて、前記 p 型半導体光吸収層が、InGaAsP 混晶からなることを特徴とする。

【0016】

また、請求項 4 に記載の発明は、請求項 1 乃至 3 の何れかに記載のアバランシ・フォトダイオードにおいて、前記バンドギャップ傾斜層が、InGaAsP 混晶または InGaAlAs 混晶からなることを特徴とする。

【0017】

また、請求項 5 に記載の発明は、請求項 1 乃至 4 の何れかに記載のアバランシ・フォトダ 50

イオードにおいて、前記半絶縁性半導体なだれ増倍層、前記電界制御層および前記 p 型半導体電界緩衝層の少なくとも 1 層が、InP または InAlAs 混晶からなることを特徴とする。

【0018】

また、請求項 6 に記載の発明は、請求項 1 乃至 5 の何れかに記載のアバランシ・フォトダイオードにおいて、前記積層構造が、前記 p 型半導体電界緩衝層もしくは前記バンドギャップ傾斜層を上面とし前記半絶縁性半導体なだれ増倍層を下面とする第 1 のメサ構造と、前記 p 型半導体電極層を上面とし前記バンドギャップ傾斜層もしくは前記 p 型半導体光吸収層を下面とする第 2 のメサ構造とから構成されており、当該第 2 のメサ構造が、前記第 1 のメサ構造の上面の外周部に一定の幅を有するように配置されていることを特徴とする 10

【0019】

さらに、請求項 7 に記載の発明は、請求項 6 に記載のアバランシ・フォトダイオードにおいて、前記第 1 のメサ構造の上面の外周部の領域にガードリングを備え、当該ガードリングが、前記 p 型半導体光吸収層の単層構造もしくは当該 p 型半導体光吸収層と前記バンドギャップ傾斜層の積層構造を有するメサストライプ状の第 1 のガードリング、または、前記第 1 のメサ構造の上面から前記電界制御層の一部または全部を掘り込んだ形状のリセス状の第 2 のガードリングのいずれか一方もしくは双方で構成されていることを特徴とする

【0020】

【発明の実施の形態】

以下に、図面を参照して本発明の実施の形態について説明する。

【0021】

図 1 は、本発明の APD の第 1 の構造例を説明するための図で、図 1 (a) は APD の断面図、図 1 (b) はこの APD に電圧を印加した状態でのバンドダイアグラムである。この APD は、図示しない半絶縁性基板の上に、半絶縁性のバッファ層 101 を設け、この上に、電極特性を得るための十分なドーピングがなされた n 型半導体の電極層 102 と、半絶縁性半導体からなるなだれ増倍層 103 と、電界制御層 104 と、p 型半導体からなる電界緩衝層 105 と、バンドギャップ傾斜層 106 と、p 型半導体の光吸収層 107 と、p 型半導体の拡散バリア層 108 と、電極特性を得るための十分なドーピングがなされた p 型半導体の電極層 109 とが順次積層され、n 型電極層 102 および p 型電極層 109 には各々の電極層に対応する金属電極 110 および 111 が設けられている。 30

【0022】

バンドギャップ傾斜層 106 および電界制御層 104 の各々のドーパント濃度分布は、APD 動作状態における光吸収層 107 の、バンドギャップ傾斜層 106 との界面近傍以外の領域が電気的中性となるように決定されている。このため、この APD に電極層 102 および 109 から逆バイアスを印加すると各層内のエネルギーバンドは図 1 (b) に示すような状態となり、非動作時において p 型を示す光吸収層 107 内のエネルギーバンドはバンドギャップ傾斜層 106 との界面近傍を除いて勾配をもたないフラットな状態となり、動作時における光吸収層 107 は、そのバンドギャップ傾斜層 106 との界面近傍以外 40 の領域で電気的に中性となる。

【0023】

この状態の APD に光吸収層 107 のバンドギャップ以上のエネルギーをもつ信号光が入射すると、その光は主に電気的に中性化した光吸収層 107 で吸収されて電子とホールが生成される。生成したホールは p 型半導体の拡散バリア層 108 を介して p 型半導体の電極層 109 へと伝導電流として流れる一方、生成した電子は、p 型半導体の拡散バリア層 108 によって形成されたポテンシャル障壁によって p 型半導体の電極層 109 への逆拡散が阻止され、バンドギャップ傾斜層 106 に拡散し、電界緩衝層 105、および、電界制御層 104 を経てなだれ増倍層 103 へとドリフトレインパクトイオン化によるなだれ増倍現象が生じる。

【0024】

光吸収層107で発生したホールは多数キャリアであるから、発生するホール電流は光吸収層107が電気的中性となるように振る舞うのみであり、光吸収層107内で発生するホールがAPDの応答速度に関与することはない。すなわち、このような構造のAPDの応答速度は、光吸収層107の多数キャリアであるホールには直接影響されず少数キャリアである電子の拡散でほぼ決まる。ここで、電子の拡散係数を D_e 、p型半導体の光吸収層107の厚みを W_{AN} とすると、キャリア走行時間 τ_{DN} は、

$$\tau_{DN} = W_{AN}^2 / 3D_e \quad (4)$$

で与えられ、また、3dB帯域 f_{3dB} は、

$$f_{3dB} = 1 / (2\pi\tau_{DN}) \quad (5)$$

と近似される。

【0025】

光吸収層107にドーピングレベルが $1 \times 10^{17} \text{ cm}^{-3}$ のp型InGaAsを用いた場合には、InGaAs内の電子の移動度を $8000 \text{ cm}^2/\text{Vs}$ 、拡散係数を $200 \text{ cm}^2/\text{s}$ として、3dB帯域 f_{3dB} は、

$$f_{3dB} = [1 / W_{AN}^2 (\mu\text{m}^2)] \times 9.6 \text{ GHz} \quad (6)$$

となり、 10 Gbit/s の信号を受信するAPDの3dB帯域 f_{3dB} の目安である 15 GHz を得るためには、p型半導体の光吸収層107の厚みを $0.8 \mu\text{m}$ 程度と設定すればよいこととなる。この光吸収層107の厚みは通常のAPDとして求められる量子効率を得るために十分な値であるが、APDのデバイス構造を「導波路型」、もしくは、結晶面のファセットを用いて光を斜め方向から入射させる「屈折ファセット型」とすれば更に高い量子効率を得ることが可能となる。

【0026】

なお、APDの量子効率の観点からは、光吸収層107内のドーパント濃度は、バンドギャップ傾斜層106からp型半導体の拡散バリア層108の方向にドーピング濃度が増大する傾斜分布を有するように決定されて、上記の電子の拡散に加えドリフト効果が働くように設計されることが好ましい。光吸収層107内のバンドギャップが、バンドギャップ傾斜層106からp型半導体の拡散バリア層108の方向に増大するように半導体の組成も傾斜させることがより好ましい。

【0027】

材料構成に関しては、p型半導体の光吸収層107がInGaAsP混晶、バンドギャップ傾斜層106がInGaAsP混晶またはInGaAlAs混晶、なだれ増倍層103、電界制御層104およびp型半導体の電界緩衝層105の少なくとも1層がInPまたはInAlAs混晶とする。

【0028】

図1(b)に示した本発明のAPDの動作時のバンドダイアグラムと、図4(b)に示した従来のAPDの動作時のバンドダイアグラムとを比較すると、これらの光吸収層107、406内のバンド状態が大きく異なる。すなわち、従来のAPDの光吸収層406は印加された逆バイアスにより空乏化してそのバンドがp型407電極層からバンドギャップ傾斜層405へと傾斜しており、 10 Gbit/s 用のAPDではこの光吸収層406には約8Vの電圧が印加されているのに対して、本発明のAPDの光吸収層107は動作時において電気的中性となるように設計されているためにそのバンドはバンドギャップ傾斜層106との界面近傍領域を除くほぼ全域に渡り平坦に近く、光吸収層107には電圧が印加されない状態で動作することとなる。このため、本発明のAPDでは、これらの光吸収層107へ印加される電圧の差分である8V程度の低電圧動作が可能となる。

【0029】

また、本発明のAPDと従来のAPDとはバンドプロファイルの制御性も異なる。すなわち、従来のAPDでは電界緩衝層404と光吸収層406の内部の電界を独立して変えようとすると、これらの層と電界制御層403およびバンドギャップ傾斜層405との界面近傍領域のドーピングレベルおよび層厚を制御することが必要となる。

【0030】

これに対して、本発明のAPDでは、動作中の光吸収層107のバンドプロファイルはフラットであるため電界緩衝層105内部の電界のみを設計すれば良く、従って、バンドギャップ傾斜層106および電界制御層104の各々のドーパント濃度分布（濃度および層厚）のみを制御すればよいので、APDの設計が単純化され構造制御性も向上することとなる。

【0031】

さらに、本発明のAPDの光吸収層107内ではバンドギャップ傾斜層106との界面近傍を除いてポテンシャル勾配が存在しないため、空乏化した光吸収層107内で発生し得る再結合電流やトンネル電流、さらには、なだれ増倍電流の発生が抑制され、動作バイアス状態での暗電流が低減される。

【0032】

このように、本発明のAPDは、従来のAPDとは異なり、光吸収層内で速度の遅い多数キャリアであるホールの影響を排除して少数キャリアである電子のみを活性なキャリアとして用いた「単一走行キャリア」のAPDであり、低電圧動作と容易なバンド制御とを実現可能としたものである。

【0033】

図2は、本発明のAPDの第2の構造例を説明するための図で、図2(a)はAPDの断面図、図2(b)はこのAPDの平面図である。このAPDの基本的な積層構造は図1(a)に示したAPDと同様であり、バッファ層201の上に、n型の電極層202と、なだれ増倍層203と、電界制御層204と、電界緩衝層205と、バンドギャップ傾斜層206と、p型の光吸収層207と、p型の拡散バリア層208と、p型の電極層209とが順次積層され、n型の電極層202およびp型の電極層209には各々の電極層に対応する金属電極210および211が設けられている。

【0034】

このAPDでは、電界緩衝層205を上面としなだれ増倍層203を下面とする第1のメサ構造の上に、p型の電極層209を上面としバンドギャップ傾斜層206を下面とする第2のメサ構造が、第1のメサ構造の上面である電界緩衝層205の表面外周部に一定の幅を有するように配置されて設けられた構造が採用されている。

【0035】

この構造を採用した場合には、電界緩衝層205は低濃度にドーピングされているために、第2のメサ構造が乗らない第1のメサ構造部分においても電界緩衝層205が横方向に広がって設けられることとなり、空乏化領域が広がる分だけなだれ増倍領域の周辺の電界強度が低減されると共に、第1のメサ構造表面の電界強度が低下して暗電流を低減させることができる。

【0036】

より詳細に説明するならば、この第1のメサ構造表面の電位は、第2のメサ構造の端から遠ざかるにつれ低下し、この低下に伴いp形の電界制御層204中に中性化領域が自動的に発生し、電界制御層204のドーピング濃度とリーク電流で決まるところの電位で固定される。しかしながら、電界緩衝層205は低濃度にドーピングされているゆえ、一定の電界強度の低下は期待できる。

【0037】

なお、この第1および第2のメサ構造は、図2に示した構成に限定されるものではなく、バンドギャップ傾斜層206を上面としなだれ増倍層203を下面とする第1のメサ構造と、p型の電極層209を上面とし光吸収層207を下面とする第2のメサ構造とから構成することとしても同様の効果が得られる。

【0038】

図3は本発明のAPDの第3の構造例を説明するための図で、図3(a)はAPDの断面図、図3(b)はこのAPDの平面図である。このAPDの基本的な積層構造は図1(a)に示したAPDと同様であり、バッファ層301の上に、n型の電極層302と、なだ

れ増倍層 303 と、電界制御層 304 と、電界緩衝層 305 と、バンドギャップ傾斜層 306 と、p 型の光吸収層 307 と、p 型の拡散バリア層 308 と、p 型の電極層 309 とが順次積層され、n 型の電極層 302 および p 型の電極層 309 には各々の電極層に対応する金属電極 310 および 311 が設けられている。

【0039】

この構造では、図 2 に示した構造に加え、電界緩衝層 305 を上面とする第 1 のメサの上に設けられたメサストライプ状のガードリング 312 と、電界緩衝層 305 の上面から掘り込んで形成されたりセス状のガードリング 313 が設けられている。図 2 に示した第 2 の構造例では、第 1 のメサの表面電位が電界制御層中に発生する中性化領域の影響を受けることを説明したが、この図に示した第 3 の構造例では、メサストライプ状のガードリング 312 部分の電位は、その下部にある電界制御層 304 の中性化が起こる電位降下がガードリング 312 がない部分よりも（不純物濃度分布の違いにより）小さくなるため、第 2 のメサ端からガードリング 312 のメサストライプまでの電位降下、および、ガードリング 312 のメサストライプ部分からその外側に向かっての電位降下が小さくなる。

【0040】

すなわち、2 つに分割されたこれらの領域における電位降下が互いにバランスすることで暗電流が決定されるゆえ、結局シリーズ接続された暗電流パス全体の電流を低下させることが可能となる。なお、リセス状のガードリング 313 は、中性化層が誘起されない様に、電界制御層 304 中もしくは電界制御層 304 の下面までの深さとする。このようにすると、なだれ増倍層 303 の側面の露出がなくなると共に、リセス状のガードリング 313 部分の電界が横方向に広がるため、暗電流の発生を一層抑制することが可能となる。

【0041】

【発明の効果】

以上説明したように、本発明によれば、バンドギャップ傾斜層および電界制御層の各々のドーパント濃度分布を、動作状態における p 型半導体光吸収層の、バンドギャップ傾斜層との界面近傍以外の領域が電気的中性となるように決定決定して、少数キャリアである電子のみを活性なキャリアとして用いる「単一走行キャリア」構造としたので、光吸収層への電圧印加が不要となり逆バイアスの低電圧化が可能となるとともにバンド制御が容易となり、空乏化した光吸収層内で発生し得る再結合電流やトンネル電流、さらには、なだれ増倍電流の発生が抑制されて動作バイアス状態での暗電流が低減される。

【0042】

また、光吸収層部分のメサを、電界緩衝層もしくは組成傾斜層を上面とするメサの内側に配置することにより、さらにはメサガードリングとリセスガードリングを追加して設けることにより、暗電流を一層低減させることができる。

【0043】

以上の技術的な改善によりアバランシ・フォトダイオードのノイズを低減させ、より高感度の光レシーバを実現することに貢献することが可能となる。

【図面の簡単な説明】

【図 1】本発明の APD の第 1 の構造例を説明するための図で、(a) は APD の断面図、(b) はこの APD に電圧を印加した状態でのバンドダイアグラムである。

【図 2】本発明の APD の第 2 の構造例を説明するための図で、(a) は断面図、(b) は平面図である。

【図 3】本発明の APD の第 3 の構造例を説明するための図で、(a) は断面図、(b) は平面図である。

【図 4】従来型の APD の構造例を説明するための図で、(a) は APD の断面図、(b) はこの APD に電圧を印加した状態でのバンドダイアグラムである。

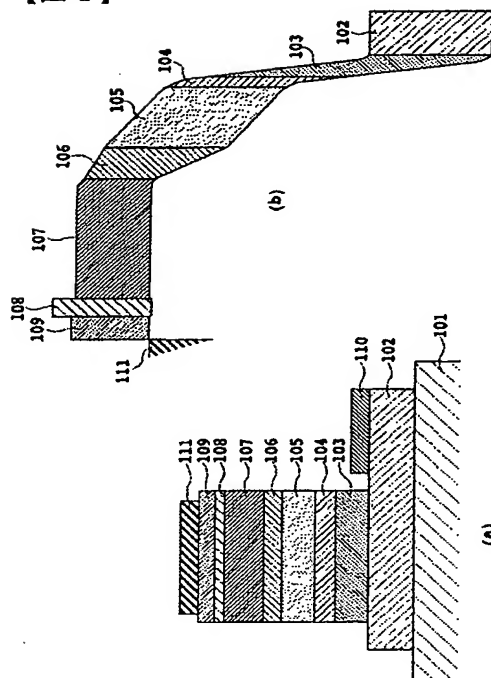
【符号の説明】

101、201、301 バッファ層
102、202、302 n 型の電極層
103、203、303、402 なだれ増倍層

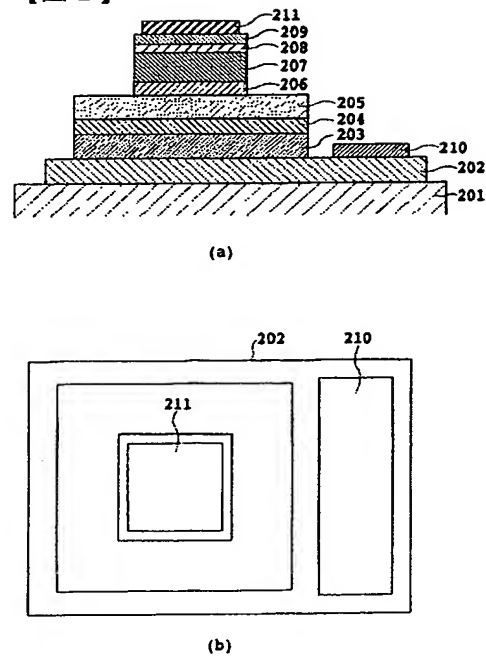
- 104、204、304、403 電界制御層
 105、205、305、404 電界緩衝層
 106、206、306、405 バンドギャップ傾斜層
 107、207、307、406 光吸収層
 108、208、308 p型の拡散バリア層
 109、209、309 p型電極層
 110、111、210、211、310、311、408、409 金属電極
 312 メサ状のガードリング
 313 リセス状のガードリング
 401、407 電極層

10

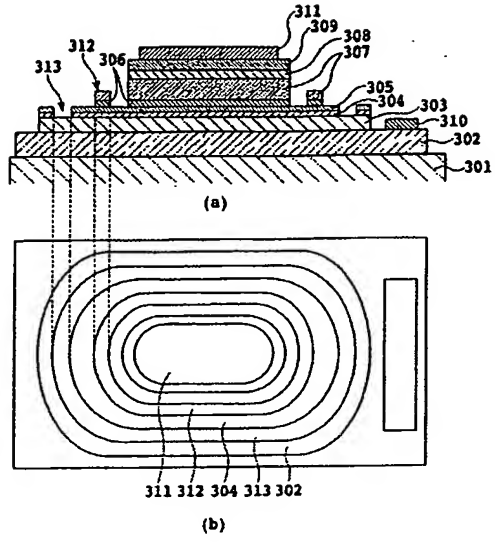
【図1】



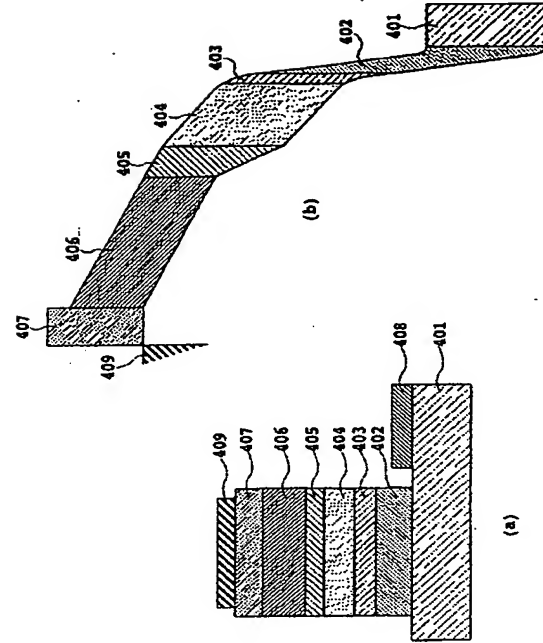
【図2】



【図 3】



【図 4】



フロントページの続き

Fターム(参考) 5F049 MA08 MB07 NA05 NB01 QA18 QA19